

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09205202  
PUBLICATION DATE : 05-08-97

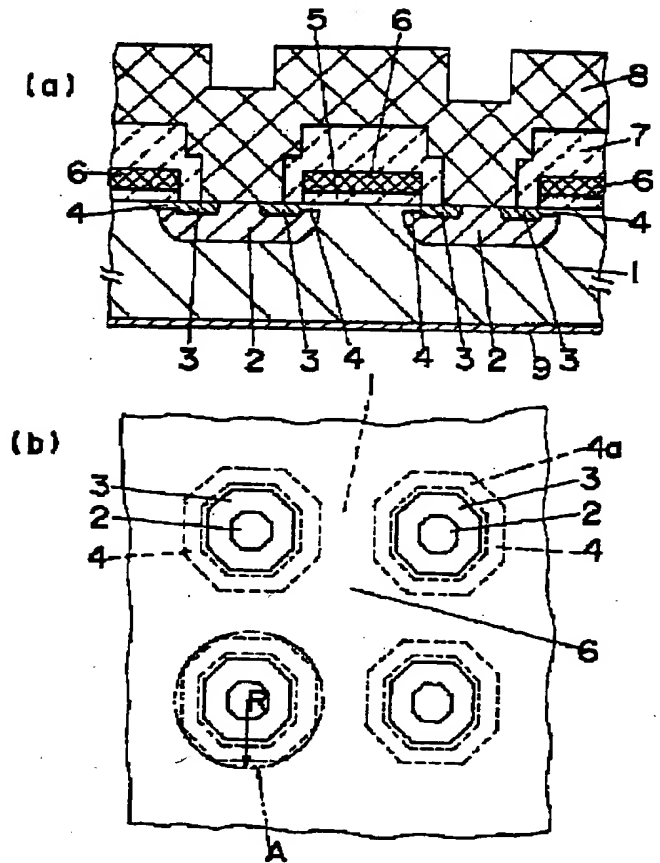
APPLICATION DATE : 26-01-96  
APPLICATION NUMBER : 08012155

APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;

INVENTOR : AKIYAMA SHIGEO;

INT.CL. : H01L 29/78

TITLE : SEMICONDUCTOR DEVICE



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide a semiconductor device with a small temperature dependency of threshold voltage.

**SOLUTION:** In a semiconductor device, a P-type well region 2 and an N-type source region 3 are formed on the main surface of an N-type semiconductor substrate 1 which also plays a role of a drain region by the double diffusion technology and an N-type channel 4 which is an N-type inversion layer with a low carrier concentration is formed at the surface region of the P-type well region 2 sandwiched by the N-type semiconductor substrate 1 and the N-type source region 3. At this time, the horizontal sectional shape of the P-type well region 2 is regular-octagonal and the angle of each corner part is nearly 135 degrees.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205202

(43) 公開日 平成9年(1997)8月5日

|                            |      |         |               |         |
|----------------------------|------|---------|---------------|---------|
| (51) Int. Cl. <sup>8</sup> | 識別記号 | 庁内整理番号  | F I           | 技術表示箇所  |
| H 0 1 L 29/78              |      | 9447-4M | H 0 1 L 29/78 | 6 5 2 E |
|                            |      | 9447-4M |               | 6 5 2 F |

審査請求 未請求 請求項の数4 O L (全6頁)

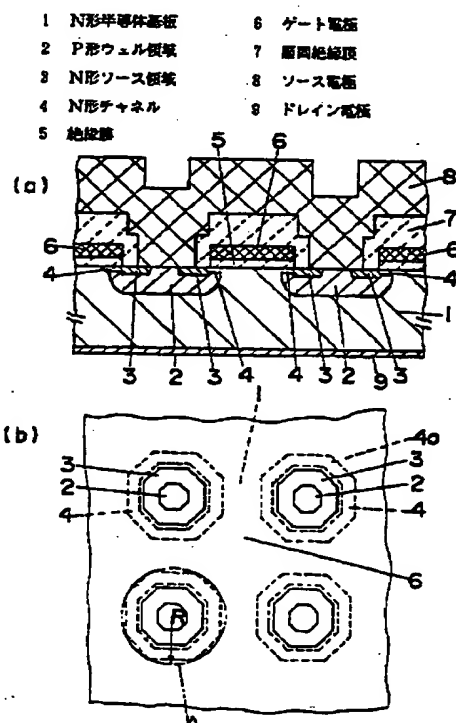
|           |                 |          |                                           |
|-----------|-----------------|----------|-------------------------------------------|
| (21) 出願番号 | 特願平8-12155      | (71) 出願人 | 000005832<br>松下電工株式会社<br>大阪府門真市大字門真1048番地 |
| (22) 出願日  | 平成8年(1996)1月26日 | (72) 発明者 | 野辺 武<br>大阪府門真市大字門真1048番地松下電工株式会社内         |
|           |                 | (72) 発明者 | 秋山 茂夫<br>大阪府門真市大字門真1048番地松下電工株式会社内        |
|           |                 | (74) 代理人 | 弁理士 石田 長七 (外2名)                           |

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】しきい値電圧の温度依存性が小さい半導体装置を提供する。

【解決手段】ドレイン領域を兼ねるN形半導体基板1の主表面に、P形ウェル領域2とN形ソース領域3とが二重拡散技術により形成され、N形半導体基板1とN形ソース領域3とで挟まれたP形ウェル領域2の表面領域にはキャリア濃度が低いN形反転層であるN形チャンネル4が形成される半導体装置において、P形ウェル領域2の水平断面形状が正八角形であり、その各角部（コーナ部）の角度が略135度で形成されている。



## 【特許請求の範囲】

【請求項1】 第1導電形の半導体基板の主表面に、第1導電形のソース領域が形成され、前記ソース領域を囲んで第2導電形のウェル領域が形成され、前記半導体基板の主表面と前記ソース領域との間に介在する前記ウェル領域の表面領域に第1導電形のチャネルが形成され、前記チャネル上に絶縁膜を介してゲート電極が形成されて成り、前記ウェル領域の水平断面形状は、略多角形であり且つ前記略多角形のコーナ部を形成する角度が135度以上であることを特徴とする半導体装置。

【請求項2】 ウェル領域の水平断面形状は、正多角形であることを特徴とする請求項1記載の半導体装置。

【請求項3】 コーナ部の外接円の曲率半径が10 $\mu$ m以上であることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項4】 第1導電形の半導体基板の主表面に、第1導電形のソース領域が形成され、前記ソース領域を囲んで第2導電形のウェル領域が形成され、前記半導体基板の主表面と前記ソース領域との間に介在する前記ウェル領域の表面領域に第1導電形のチャネルが形成され、前記チャネル上に絶縁膜を介してゲート電極が形成されて成り、前記ウェル領域の水平断面形状が略円形であることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、半導体基板をドレイン領域としたディプレッションモード二重拡散型MOSFETに関するものである。

【0002】

【従来の技術】 従来のディプレッションモード二重拡散型MOSFET（以下、ディプレッションモードDMOSと称す）は、図3（a）に示すように、ドレイン領域を兼ねるN形半導体基板1の主表面に、P形ウェル領域2とN形ソース領域3とが二重拡散技術により形成されている。また、N形半導体基板1とN形ソース領域3とで挟まれたP形ウェル領域2の表面領域にはキャリア濃度が低いN形反転層であるN形チャネル4が形成されている。N形チャネル4の上方には絶縁膜5を介してゲート電極6が設けられている。なお、N形ソース領域3上にはソース電極8が、N形半導体基板1（つまり、ドレイン領域）の裏面にはドレイン電極9が、それぞれ設けられている。

【0003】 ところで、上記ディプレッションモードDMOSにおけるP形ウェル領域2の水平断面形状は、図3（b）に示すように四角形である。

【0004】

【発明が解決しようとする課題】 ところで、ディプレッションモードDMOSは、ゲート電圧が零ボルトでもチャネル領域を有する（所謂ノーマリ・オン形のデバイ

ス）ので、オフ状態にするためには、ゲート電圧（信号）の印加によりN形チャネル4のキャリアをなくす必要がある。このオン・オフの状態が変化する電圧が所謂しきい値電圧である。しかしながら、上記ディプレッションモードDMOSでは、チップ温度が上昇すると、しきい値電圧の絶対値が大きくなってしまおうという問題があり、その結果、オフ状態にする（N形チャネル4のキャリアをなくす）ためには、より大きなゲート電圧が必要となってしまうという問題があった。

【0005】 本発明は上記事由に鑑みて為されたものであり、その目的は、しきい値電圧の温度依存性が小さい半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項1の発明は、上記目的を達成するために、第1導電形の半導体基板の主表面に、第1導電形のソース領域が形成され、前記ソース領域を囲んで第2導電形のウェル領域が形成され、前記半導体基板の主表面と前記ソース領域との間に介在する前記ウェル領域の表面領域に第1導電形のチャネルが形成され、前記チャネル上に絶縁膜を介してゲート電極が形成されて成り、前記ウェル領域の水平断面形状は、略多角形であり且つ前記略多角形のコーナ部を形成する角度が135度以上であることを特徴とするものであり、前記ウェル領域のコーナ部の角度が135度以上であることにより、前記ウェル領域の表面領域での不純物濃度を均一化できるため、前記チャネルにおける不純物の濃度が均一となり、その結果、しきい値電圧の温度依存性が小さくなる。

【0007】 請求項2の発明は、請求項1の発明において、ウェル領域の水平断面形状が、正多角形であるので、正多角形でない場合に比べて前記ウェル領域の表面領域での不純物濃度を均一化できるため、前記チャネルにおける不純物濃度が、より均一になり、その結果、しきい値電圧の温度依存性が小さくなる。請求項3の発明は、請求項1又は請求項2の発明において、コーナ部の外接円の曲率半径が10 $\mu$ m以上なので、前記ウェル領域の表面領域での不純物濃度を更に均一化できるため、前記チャネルにおける不純物濃度が更に均一になり、その結果、しきい値電圧の温度依存性が小さくなる。

【0008】 請求項4の発明は、第1導電形の半導体基板の主表面に、第1導電形のソース領域が形成され、前記ソース領域を囲んで第2導電形のウェル領域が形成され、前記半導体基板の主表面と前記ソース領域との間に介在する前記ウェル領域の表面領域に第1導電形のチャネルが形成され、前記チャネル上に絶縁膜を介してゲート電極が形成されて成り、前記チャネル形成用拡散領域の水平断面形状が略円形であることを特徴とするものであり、前記ウェル領域の形状を円形にすることにより、前記ウェル領域の表面領域での不純物濃度を更に均一化できるため、前記チャネルにおける不純物濃度が均一に

なり、その結果、しきい値電圧の温度依存性が小さくなる。さらに、コーナ部が無いので前記ウェル領域への電界集中が無くなり、耐圧が向上する。

【0009】

【発明の実施の形態】図1(a)に本発明の実施の形態のディプレッションモードDMOSの断面図を示す。本ディプレッションモードDMOSの基本構成は従来例と略同じであり、ドレイン領域を兼ねるN形半導体基板1の主表面に、P形ウェル領域2とN形ソース領域3とが二重拡散技術により形成されている。また、N形半導体基板1とN形ソース領域3とで挟まれたP形ウェル領域2の表面領域にはキャリア濃度が低いN形反転層であるN形チャネル4が形成されている。N形チャネル4の上方には絶縁膜5を介してゲート電極6が設けられている。なお、N形ソース領域3上にはソース電極8が、N形半導体基板1（つまり、ドレイン領域）の裏面にはドレイン電極9が、それぞれ設けられている。

【0010】本ディプレッションモードDMOSの特徴とするところは、図1(b)に示すようにP形ウェル領域2の水平断面形状が正八角形であり、その各角部（コーナ部）の角度が略135度で形成されていることにある。本ディプレッションモードDMOSでは、N形チャネル4は、チャネル形成用P形ウェル領域2の水平断面形状を正八角形にすることにより、従来の四角形の場合よりもP形ウェル領域2の表面領域での不純物濃度を均一にできる。本ディプレッションモードDMOSでは、P形ウェル領域2の水平断面形状が正八角形であり、その各角部（コーナ部）の角度が135度で形成されているので、P形ウェル領域2形成時における正八角形のコーナ部でのP形不純物の濃度がコーナ部以外の領域でのP形不純物の濃度と略均一になる。このため、しきい値制御用のN形不純物をイオン注入によって添加した時に、N形チャネル4におけるN形不純物濃度を均一にできるのである（つまり、図1(b)におけるコーナ部4aのN形不純物濃度が、コーナ部4a以外の領域に比べて高くないのである）。その結果、しきい値電圧の温度依存性が小さくなるのである。ところで、従来例のようにP形ウェル領域2の水平断面形状が四角形の場合は、P形ウェル領域2形成時に四角形のコーナ部でのP形不純物の濃度が低くなってしまい、その後のNチャネル4形成時にコーナ部（図4における4a'の部分）のN形不純物の濃度が高くなって、その結果、しきい値電圧の温度依存性が大きくなってしまふのである。従って、従来のような水平断面形状が四角形のP形ウェル領域をもつ場合に比べて、本ディプレッションモードDMOSの方がしきい値電圧の温度依存性を小さくできるのである。その結果、チップ温度や周囲温度が上昇してもしきい値電圧の絶対値の変動が抑制され、大きなゲート電圧が必要でなくなるのである。

【0011】以下に、本ディプレッションモードDMO

Sの製造方法を図2及び図3に基づいて説明する。まず、N半導体基板1の主表面上に酸化膜10を形成する。続いて、例えば、通常のフォトリソグラフィ技術とドライエッチング技術等によって、酸化膜10に水平断面が図3に示すような正八角形の開孔20（側断面図は図4(a)参照）を複数設ける。その後、酸化膜10をマスクとしてP形不純物の拡散を行い、高温熱処理を行うことによって図4(a)に示すようなP形ウェル領域2が形成される。ここで、酸化膜10aの下方にもP形ウェル領域2が形成されているが、これは、前記高温熱処理によって前記P形不純物が横方向（つまり、酸化膜10aの下方）にも拡散されるためである。したがって、P形ウェル領域2の水平断面は、正八角形もしくは正八角形に近い形状（例えば、正八角形の角部が丸まったような形状）となる。

【0012】次に、酸化膜10をマスクとして、露出したP形ウェル領域2の表面領域にソース領域形成用のN形不純物を拡散することによってN形ソース領域3が形成され図4(b)に示す構造が得られる。すなわち、上記P形ウェル領域2及びN形ソース領域3は所謂二重拡散技術によって形成している。続いて、酸化膜10をウェットエッチング技術等によって選択的に除去する。次に、イオン注入装置等によって、しきい値電圧を制御するためのN形不純物を、例えば、図4(c)に一点鎖線で示す深さまで注入する。このN形不純物の注入量によってしきい値が決まる。ここで、N形不純物が注入されることによって、N形ソース領域3とN半導体基板1の表面領域との間に介在するP形ウェル領域2の表面領域は、キャリア濃度が低くなり導電性がN形に反転することでN形チャネル4が形成され、図4(c)に示す構造が得られる。

【0013】次に、ゲート酸化膜である絶縁膜5、ゲート電極6、層間絶縁膜7、ソース電極8、ドレイン電極9それぞれを周知の技術によって形成することにより図4(d)に示す構造が得られる。以上説明したように本ディプレッションモードDMOSでは、P形ウェル領域2の水平断面形状を正八角形に形成するために、正八角形のマスクを用いていることに特徴がある。

【0014】なお、本実施の形態では、所謂縦型構造のディプレッションモードDMOSについて説明したが、縦型構造に限定するものではなく、横型構造であってもよい。また、上記各領域の導電形のP形とN形とが逆転した構成のものでもよいことは勿論である。P形ウェル領域2の水平断面形状は正八角形に限定するものではなく、コーナ部の角度が135度以上であれば、略多角形でもよい（ただし、正多角形の方が加工は容易になる）。また、正八角形以上の角を有する正多角形にすることにより、よりP形ウェル領域2の表面領域でのP形不純物濃度を均一化でき、その結果、よりN形チャネル4のN形不純物濃度を均一化でき、しきい値電圧の温度

依存性を小さくできる。図1(b))に示すコーナ部の外接円Aの曲率半径が $10\mu\text{m}$ 以上であれば、更に、N形チャンネルのN形不純物濃度はさらに均一になり、しきい値電圧の温度依存性は更に小さくなる。

【0015】また、P形ウェル領域2の水平断面形状を略円形にすることにより、P形ウェル領域2の表面領域でのP形不純物濃度を均一化できるため、N形チャンネル4におけるN形不純物濃度が均一になり、その結果、しきい値電圧の温度依存性が小さくなる。さらに、円形の場合は、コーナ部が無いのでP形ウェル領域2への電界集中が無くなり、耐圧が向上する

【0016】

【発明の効果】請求項1の発明は、上記目的を達成するために、ウェル領域の水平断面形状が、略多角形であり且つ前記略多角形のコーナ部を形成する角度が $135^\circ$ 度以上であるから、前記ウェル領域の表面領域での不純物濃度を均一化できるため、前記チャンネルにおける不純物の濃度が均一となり、しきい値電圧の温度依存性が小さくなるという効果がある。その結果、チップ温度や周囲温度が上昇してもしきい値電圧の絶対値の変動が抑制され、大きなゲート電圧が必要でなくなるという効果がある。

【0017】請求項2の発明は、請求項1の発明において、ウェル領域の水平断面形状が、正多角形であるので、正多角形でない場合に比べて前記ウェル領域の表面領域での不純物濃度を均一化できるため、前記チャンネルにおける不純物濃度が、より均一になり、その結果、しきい値電圧の温度依存性が小さくなるという効果がある。

【0018】請求項3の発明は、請求項1又は請求項2

の発明において、コーナ部の外接円の曲率半径が $10\mu\text{m}$ 以上なので、前記ウェル領域の表面領域での不純物濃度を更に均一化できるため、前記チャンネルにおける不純物濃度が更に均一になり、その結果、しきい値電圧の温度依存性が小さくなるという効果がある。請求項4の発明は、ウェル領域の形状を円形にすることにより、前記ウェル領域の表面領域での不純物濃度を更に均一化できるため、前記チャンネルにおける不純物濃度が均一になり、その結果、しきい値電圧の温度依存性が小さくなるという効果がある。さらに、コーナ部が無いので前記ウェル領域への電界集中が無くなり、耐圧が向上するという効果がある。

【図面の簡単な説明】

【図1】(a)は本発明の実施の形態を示す半導体装置の側断面図である。(b)は同上の要部の平面図である。

【図2】同上の主要工程断面図である。

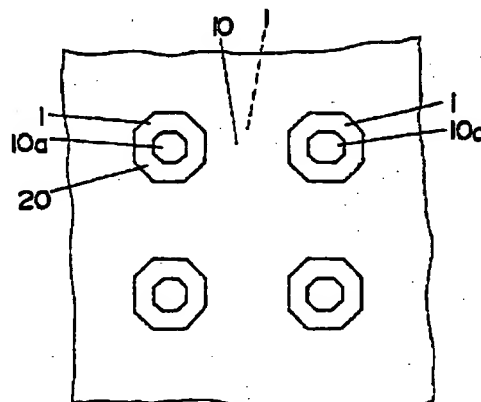
【図3】同上の主要工程平面図である。

【図4】(a)は従来例の半導体装置の側断面図である。(b)は同上の要部の平面図である。

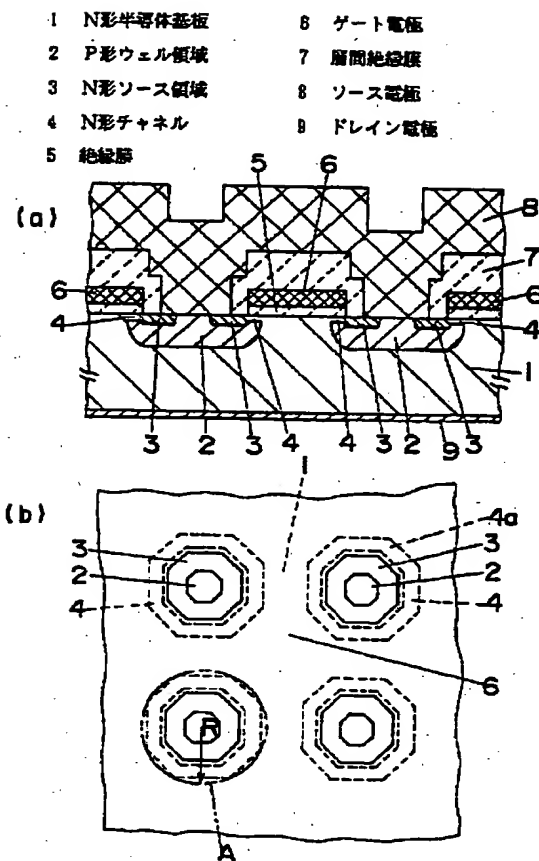
【符号の説明】

- 1 N形半導体基板
- 2 P形ウェル領域
- 3 N形ソース領域
- 4 N形チャンネル
- 5 絶縁膜
- 6 ゲート電極
- 7 層間絶縁膜
- 8 ソース電極
- 9 ドレイン電極

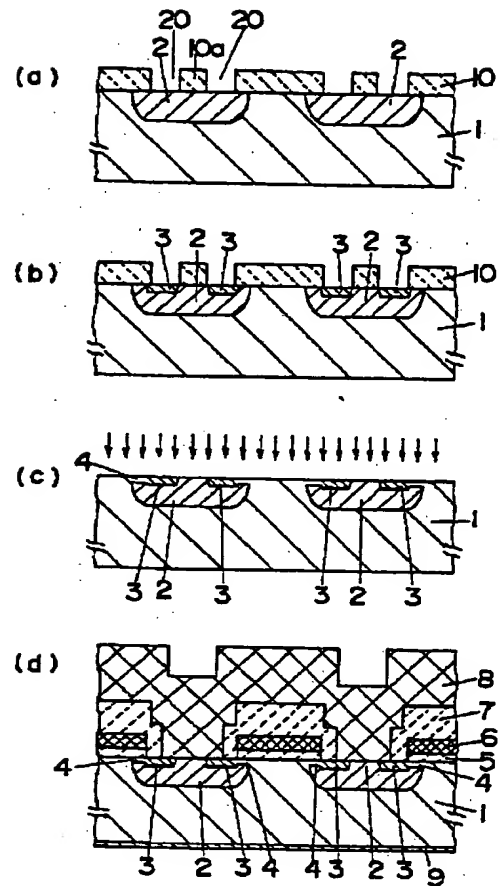
【図3】



【図1】



【図2】



【図4】

